

Family list**1** family member for: **JP2005472**

Derived from 1 application

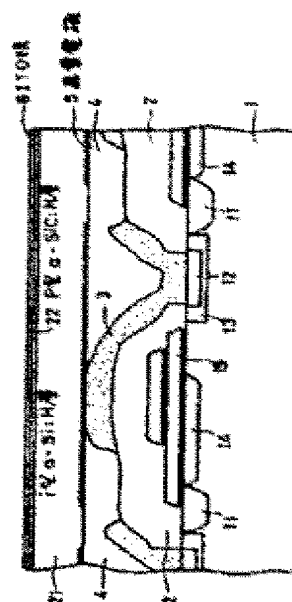
1 SOLID STATE IMAGE SENSOR AND MANUFACTURE THEREOF**Inventor:** NAKANISHI TOSHIRO**Applicant:** FUJITSU LTD**EC:****IPC:** *H04N5/335; H01L27/14; H01L27/146*
(+12)**Publication info:** **JP2005472 A** - 1990-01-10Data supplied from the **esp@cenet** database - Worldwide

Patent number: JP2005472
Publication date: 1990-01-10
Inventor: NAKANISHI TOSHIRO
Applicant: FUJITSU LTD
Classification:
- international: *H04N5/335; H01L27/14; H01L27/146; H01L31/0248; H01L31/08; H04N5/335; H01L27/14; H01L27/146; H01L31/0248; H01L31/08; (IPC1-7): H01L27/14; H01L27/146; H01L31/0248; H01L31/08; H04N5/335*
- european:
Application number: JP19880156222 19880623
Priority number(s): JP19880156222 19880623

Report a data error here

PURPOSE: To improve resolution by so flattening the surface of the end of a diode electrode extended from a charge storage diode as to be in the same plane as that of the surface of an interlayer insulating layer.

CONSTITUTION: The surface of an interlayer insulating layer 4 is so polished in the degree as to expose the end of a diode electrode 3. The unevenness of the surface of the layer 4 is initially approx. 500nm, but polished by a mechanochemical polishing method employed for a normal wafer polishing, and its polishing rate is approx. 8nm/min. The square mean root roughness of the surface of the polished surface becomes approx. 3Angstrom by the polishing for approx. 1 hour. Since a pixel electrode 5 formed thereon, an amorphous Si layer, an amorphous SiC layer and a transparent conductive film 6 are flattened due to the flatness of the base if the surface of the layer 4 is flattened, and photoelectric converting means becomes flat without unevenness. Thus, it can prevent an incident light from scattering to improve its resolution.



2008/01/24

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-5472

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月10日

H 01 L 27/146
31/0248
H 04 N 5/335

U 8838-5C
7377-5F
7522-5F

H 01 L 27/14
31/08

E
H

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 固体撮像素子とその製造方法

⑰ 特 願 昭63-156222

⑱ 出 願 昭63(1988)6月23日

⑲ 発 明 者 中 西 俊 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

固体撮像素子とその製造方法

2. 特許請求の範囲

(1) 表面に電荷蓄積ダイオードと電荷転送素子が形成されてなる半導体基板と、

該半導体基板上を被覆する層間絶縁層と、

該層間絶縁層上に画素電極と、非晶質薄膜からなる光電変換膜と、透明導電性膜とが積層されてなる光電変換手段と、前記電荷蓄積ダイオードから前記層間絶縁層表面に導出されたダイオード電極とを具備するとともに、

前記画素電極が前記電荷蓄積ダイオードから前記層間絶縁層表面に導出されたダイオード電極に接続する構成において、

前記電荷蓄積ダイオードから導出されたダイオード電極先端部表面が、前記層間絶縁層表面と同一平面を形成する如く平坦化されてなることを特徴とする固体撮像素子。

(2) 表面に電荷蓄積ダイオードと電荷転送素子が形成されてなる半導体基板と、

該半導体基板上を被覆する層間絶縁層と、

該層間絶縁層上に画素電極と、非晶質薄膜からなる光電変換膜と、透明導電性膜とが積層されてなる光電変換手段を具備し、

前記画素電極が前記電荷蓄積ダイオードから前記層間絶縁層表面に導出されたダイオード電極に接続する固体撮像素子を製造するに際し、

前記層間絶縁層を形成した後、該層間絶縁層表面を研磨して、前記ダイオード電極の先端部表面を露呈させるとともに、該ダイオード電極の先端部表面と前記層間絶縁層表面が略同一平面になる如く平坦化し、しかる後前記光電変換手段を形成することを特徴とする固体撮像素子の製造方法。

3. 発明の詳細な説明

(概 要)

固体撮像素子の製造方法に関し、

光電変換手段を凹凸のない平坦なものとして、

分解能を向上させることを目的とし、

表面に電荷蓄積ダイオードと電荷転送素子が形成されてなる半導体基板と、該半導体基板上を被覆する層間絶縁層と、該層間絶縁層上に画素電極と、非晶質薄膜からなる光電変換膜と、透明導電性膜とが積層されてなる光電変換手段と、前記電荷蓄積ダイオードから前記層間絶縁層表面に導出されたダイオード電極とを具備するとともに、前記画素電極が前記電荷蓄積ダイオードから前記層間絶縁層表面に導出されたダイオード電極に接続する構成において、前記電荷蓄積ダイオードから導出されたダイオード電極先端部表面が、前記層間絶縁層表面と同一平面を形成する如く平坦化されてなる構成とする。

(産業上の利用分野)

本発明は固体撮像素子の製造方法に関する。

(従来の技術)

ファクシミリ用の一次元センサや小型カメラ用

の二次元イメージセンサとして用いられている固体撮像素子は、 1C 、 1Si 技術の発展にともなう、一つの固体受光デバイスを構成する受光エレメント数がますます増大する趨性にある。

固体受光デバイスは集積度が増加するにつれ、1画素の受光面積が次第に小さくなり、感度が低下することが避けられない。

その打開策として第4図に示すような積層型の、いわゆる2階建て構造の二次元イメージセンサが考案された。

これは光電変換手段にアモルファス(非晶質)シリコン(Si)薄膜とアモルファスSiC(シリコンカーバイド)薄膜からなる光電変換膜を用いているため、可視光の受光を結晶Siよりも効率的に行うことができること、及び、抵抗率が高いため画素を分離する必要がなく、スミアやブルーミングが起きにくいという特長を有する。更にチップ面積のほぼ100%を受光部として活用できるため、受光感度を高めることができるなど多くの利点を有する。

(発明が解決しようとする課題)

しかしながら第4図に見られるように、Si基板1表面に電荷転送素子のゲート電極15、トランスファゲート電極16や保護絶縁膜の SiO_2 膜2、更に電荷蓄積ダイオードのダイオード電極3が形成されているため、これらを被覆するポリイミド膜等からなる層間絶縁層4表面は凹凸が激しい。そのため層間絶縁層4上に形成される画素電極5、i型のa-Si:H層21およびp型のSiC:H層22からなる光電変換膜、透明導電性膜(ITO膜)6により構成された光電変換手段も、激しい凹凸の波打った形状とてらざるを得ない。

このように波打った形状の光電変換手段に入射した光は、上記凹凸によって散乱され、隣接する画素に散乱光が入り込み、分解能低下を招く。

なお図の11~14は、それぞれ電荷転送素子および電荷蓄積ダイオードを構成する p^+ 層、 n^{++} 層、 n^+ 層、および n^- 層である。

本発明は、光電変換手段を凹凸のない平坦なものとして、分解能を向上させることを目的とする。

(課題を解決するための手段)

上記目的を達成するため、本発明においては、光電変換手段の下地となる層間絶縁層表面を平坦化されたものとするにより、これの上に形成される光電変換手段を凹凸のない平坦なものとする。

またそのために、Si基板1上に通常の工程に従って、電荷転送素子のゲート電極とその上を被覆する保護絶縁膜を形成し、電荷蓄積ダイオード表面から導出されるダイオード電極を形成した後、これらの上にポリイミド膜のような層間絶縁層を形成する。

しかる後、上記層間絶縁層を研磨して表面を平坦化するとともに、上記電荷蓄積ダイオードから導出されたダイオード電極の先端部を表出せしめる。

(作用)

以上述べた如くダイオード電極の先端部が表出する程度に絶縁層を研磨して、その表面を平坦化

すれば、その上に形成される画素電極、アモルファスSi層、アモルファスSiC層、透明導電性膜も、下地が平坦化されているので平坦に形成され、光電変換手段は凹凸のない平坦なものとなる。従って、入射光の散乱が防止され、分解能が向上する。

〔実施例〕

以下本発明の一実施例を第1図(a)～(c)により説明する。

第1図(a)に示す如く、半導体基板例えばP型のSi基板1表面に、素子分離のための p^+ 層11、電荷蓄積ダイオードを構成する n^{++} 層12、 n^+ 層13、および電荷転送素子を構成する n^- 層14を形成し、Si基板1表面に電荷転送素子の多結晶Si(poly Si)からなるゲート電極15、同じく多結晶Siからなるトランスフェーゲート電極16、その上に保護絶縁膜の SiO_2 膜2を形成し、次いで電荷蓄積ダイオードのA2(アルミニウム)からなるダイオード電極3を形成した後、ポリイミ

ド膜4を塗布法で形成する等により層間絶縁層を形成する。

ここまでの製造工程は従来と何ら変わるところはないので、詳細は省略する。

次いで第1図(b)に示す如く、上記層間絶縁層4表面をダイオード電極3先端部が表出する程度に研磨する。層間絶縁層4表面の凹凸は当初約500nm程度ある。研磨は通常のウエーハ研磨に用いるメカノケミカルポリッシュ法により行う。この方法の研磨レートは凡そ8nm/分である。

約1時間研磨することによって、ダイオード電極3先端部が表出し、しかも層間絶縁層4表面が平坦化される。研磨面表面の自乗平均平方根粗さは、第2図に示す如く凡そ3Åとなった。

次いで第1図(c)に示す如く、画素電極5としてA2電極を形成し、グロー放電分解法によりi型の $a-Si:H$ (水素化アモルファスシリコン)層21を成膜した後、p型の $a-SiC:H$ 層22、透明導電性膜(ITO膜)6を形成する。上記i型の $a-Si:H$ 層21およびp型の $a-SiC:H$

H層22は、光電変換膜を構成する。

以上述べた本実施例実施例の積層型固体撮像素子の解像度を、従来の積層型固体撮像素子の解像度と対比して第3図に示す。MTF(Modulation Transfer Function)によるこの評価では、本実施例で作成した固体撮像素子では隣接画素からの迷光が除去されることにより、解像度が800TV本から1000TV本に向上した。

〔発明の効果〕

以上説明した如く本発明によれば、積層型固体撮像素子の解像度が向上する。

4. 図面の簡単な説明

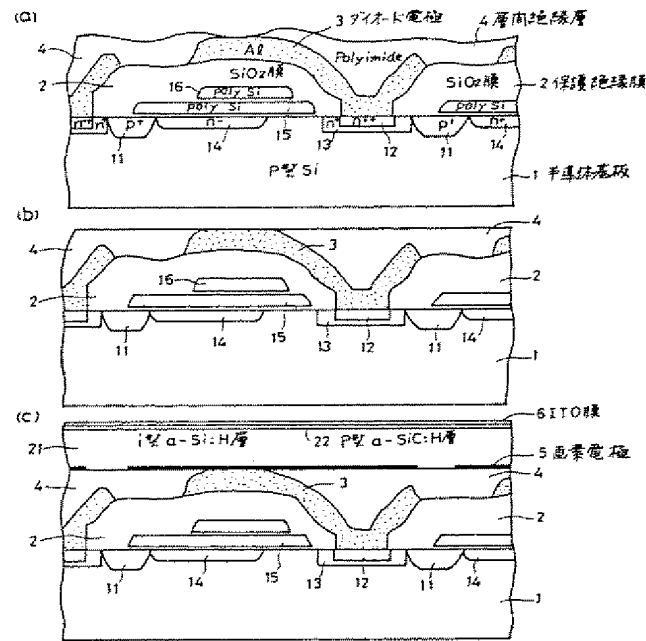
第1図(a)～(c)は本発明一実施例の説明図、
第2図および第3図は本発明の効果を示す図、
第4図は従来の問題点説明図である。

図において、1は半導体基板(Si基板)、2は保護絶縁膜、3はダイオード電極、4は層間絶縁膜、5は画素電極、

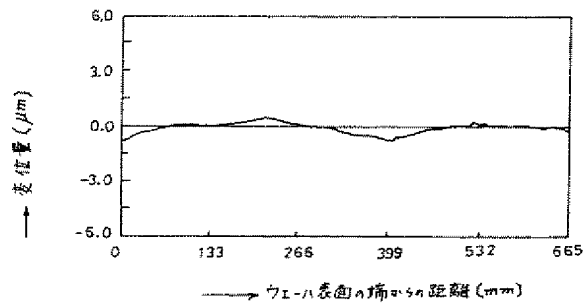
を示す。

代理人 弁理士 井 桁 貞 一

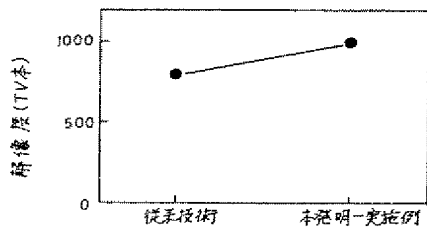




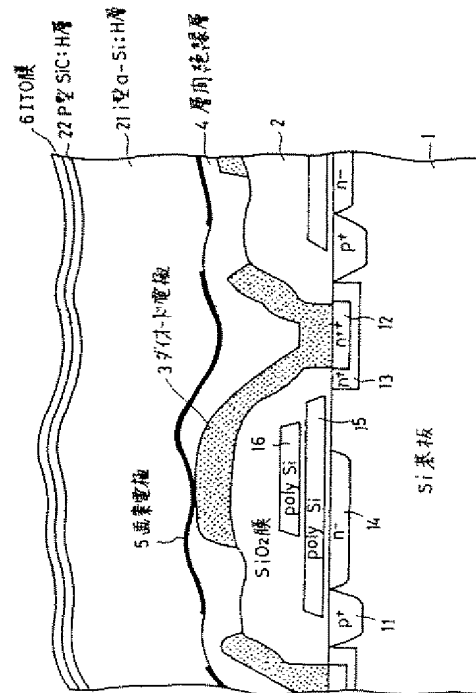
本発明-実施例の説明図
第 1 図



本発明-実施例の効果を示す図
第 2 図



本発明-実施例の効果を示す図
第 3 図



従来の積層型二次元イメージセンサの問題点説明図